

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-129854

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115			H 0 1 L 27/10	4 3 4
21/8247			29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21)出願番号 特願平8-254052

(22)出願日 平成8年(1996)9月26日

(31)優先権主張番号 08/533981

(32)優先日 1995年9月26日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 フレイドーン メーラド

アメリカ合衆国 テキサス州 75025 プ
ラノキヤスパードライヴ 7409

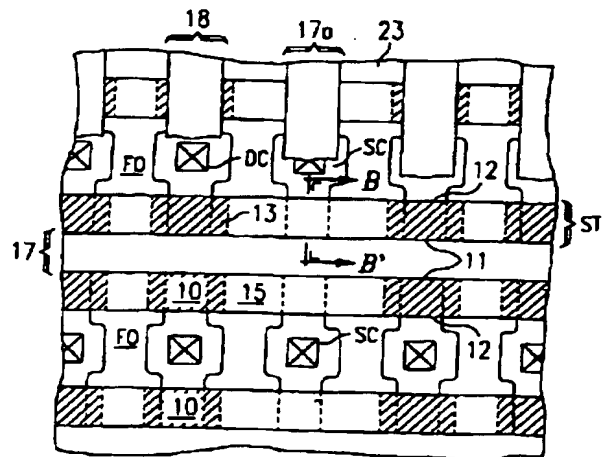
(74)代理人 弁理士 中村 稔 (外6名)

(54)【発明の名称】 両立可能な垂直ソース線を有する非揮発性メモリアレイおよびその製造方法

(57)【要約】

【課題】 フラッシュE P R O M アレイのような、浮遊ゲート型の非揮発性メモリアレイ構成を改良すること。

【解決手段】 非揮発性メモリアレイは複数の拡散された水平ソース線(17)を有し、各ソース線は1対の平行な水平スタック導体(ST)の間に位置決めされる。複数の拡散された水平ソース線は、少なくとも1つの共通垂直ソース導体(17a)に接続されている。共通垂直ソース導体は、上記平行な水平スタック導体の上記各対の下に連続した拡散領域(11)を含む。更に、共通垂直ソース導体は、上記平行な水平スタック導体の対の間に位置する接点において連続した拡散領域に結合されている金属導体を含む。その結果、スタック導体は直線である。直線スタック導体形態により、1つの垂直ソース導体と隣接するドレイン・列線(18)との間の空間は少なくて済み、ダミーセル(10)の垂直列を使用する必要性を排除する。



1

【特許請求の範囲】

【請求項1】 1対の平行な水平スタック導体の間にそれぞれ位置決めされている複数の拡散された水平ソース線を含む非揮発性メモリアレイにおいて、上記複数の拡散された水平ソース線は、少なくとも1つの共通垂直ソース導体に接続され、上記共通垂直ソース導体は、上記平行な水平スタック導体の各対の下で連続した拡散領域を含み、上記共通垂直ソース導体は、上記平行な水平スタック導体の対の間に位置する接点において上記連続した拡散領域に結合されていることを特徴とする非揮発性メモリアレイ。

【請求項2】 1対の平行な水平スタック導体の間にそれぞれ位置決めされている複数の拡散された水平ソース線を含む非揮発性メモリアレイを製造する方法において、上記平行な水平スタック導体の対の間の垂直に整列した領域内に拡散を形成させ、上記拡散されたソース線と同時に上記拡散を形成させ、上記平行なスタック導体の各対の下で上記拡散を接続させるように形成することを特徴とする非揮発性メモリアレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的にフラッシュ消去可能で、プログラム可能な読出し専用メモリ（フラッシュEPROM）アレイのような、浮遊ゲート型の非揮発性メモリのアレイ構成に関する。より詳しく述べれば本発明は、共通的に燐がドーピングされた多結晶シリコン（ポリシリコンまたはポリ）層である2つのスタックされた導電層（スタック）を有するセルのあるメモリアレイに関する。上側の導電層は語線（ワード線）及び制御ゲートを形成している。下側の導電層は、制御ゲートの下に位置する浮遊ゲートを形成している。本明細書に使用する「スタック」という語は、単一層の語線導体、または語線導体とその下に横たわる導体との組み合わせ、の何れかを含むものとする。

【0002】

【従来の技術】上述したような非揮発性メモリアレイの1つは、水平に向いたスタックの対の間に形成されている拡散された水平ソース線を有している。水平ソース線は金属垂直ソース線に接続されている。金属垂直ソース線はセルの列の群の間に配置され、各群は多分16列のセルを有している。上述した型の多くのフラッシュEEPROMデバイスにおける拡散された水平ソース線を金属垂直ソース線に接続する一般的な方法は、これらの線の各交差点に接点を形成させることである。従来技術の構造においては、フォトリソグラフィの最小寸法を使用しているために、各ソース接点の何れかの側のスタックは、絶縁体空間及びマスキング許容差を含む接点構造のためにより多くの余地を与えるように、拡散された水平

2

ソース線のところで曲げられている。スタックを曲げたことによって、垂直ソース線を形成させるための比較的大きい水平距離を有する領域が必要になる。この距離は、セルの各列に必要な水平距離よりも大きい。その結果、フィールド酸化物領域間の水平間隔が均一ではなくなり、垂直ソース線のところの幅はセルの列の群内の水平間隔よりも広くなる。フィールド酸化物間の間隔が非均一ではないので、垂直ソース線に接するフィールド酸化物領域は、グループ化された列間のフィールド酸化物領域に比してひずむようになる。若干の場合には、このひずみが金属垂直ソース線の各側にダミーのセル列を使用しなければならない程十分な大きさになり、そのためにチップ上の非機能構造がより大きい面積を占めるようにさえる。

【0003】スタックの下領域が非導電性であるために、これらのソース接点、及びこれらの接点に接続されている金属垂直ソース線が必要になる。説明している型のフラッシュEPROMの拡散されたソース、及び拡散された水平ソース線は、砒素及び燐の両方を注入することによって形成される。比較的高い温度での駆動段階に曝されると、注入された燐はスタックの下の短い距離にわたって伸びる拡散領域を形成する。スタックの低レベル浮遊ゲートの下のこの短い伸び、即ち「アンダラップ」が、ファウラー・ノルトハイムトンネリングによる浮遊ゲートのフラッシュ消去に使用される。フォトリソグラフィの最小距離が短くなるにつれて、スタックの下領域の燐拡散領域の伸びが、浮遊ゲートの幅の大きいパーセンテージを占めるようになる。

【0004】より小さいメモリセルを、従ってシリコンサブストレート上により多くのメモリセルを構築したいという大きい且つ絶えることのない要望が存在している。また、小さいだけではなく、製造が容易であり、そしてフォトリソグラフィの最小距離が短縮されるにつれてサイズを縮小させることが容易なメモリセルレイアウトについても大きい且つ絶えることのない要望が存在している。

【0005】

【発明の概要】従って、本発明はフラッシュEPROMメモリアレイレイアウト及び方法を記述する。このレイアウト及び方法は、従来技術のような曲げられたスタックではなく、直線のスタックを有している。これらの直線のスタックは拡散された垂直ソース線の上に位置決めされ、これらのソース線からは絶縁されている。金属垂直ソース線は、垂直な拡散された各ソース線と並列に接続されている。金属垂直ソース線は、金属ドレイン・列線と同時に形成される。金属垂直ソース線及び金属ドレイン・列線は、フィールド酸化物領域と同様に、アレイの幅を通して等しい水平空間を有している。メモリアレイは、簡単なレイアウトを有し、半導体サブストレート上のシリコン領域は少なくて済み、容易に製造可能であ

3

り、縮小が容易であり、そして垂直ソース線の各側に接するダミー列を必要としない。

【0006】本発明の直線スタック構成は、特に、狭いスタック幅を有するフラッシュEPR OMアレイに有用である。本発明は、特に、集積回路製造設備のフォトリトグラフィの最小距離能力が益々小さくなることによって可能になる狭いスタック幅に有用である。本発明のアレイレイアウトは、狭いスタックの両側に燐を注入し、セルのソースを形成すると同時に垂直の拡散されたソース線を形成させることによって形成される。高温駆動段階に曝されると、燐注入は狭いスタックに完全にアンダラップし、フラッシュ消去中に使用される連続した導電性の垂直の拡散されたソース線を形成する。実際に、特別な処理段階を使用しなくても水平に拡散されたソース線が接続され、垂直な拡散されたソース線が形成される。垂直な拡散されたソース線と平行垂直金属ソース線との間の接点は、ドレイン・列線接点と共に均一にパターン化された位置に形成される。金属垂直ソース線は、金属ドレイン・列線と共にパターン化され、形成される。

【0007】オプションでは、もしスタック層がフォトリトグラフィの最小幅でなければ、垂直ソース線との交差点において直線スタックの幅がより狭くなるように形成する。代替例では、スタックの幅を狭めるのに、分離したマスク/エッチングプロセスを使用する。このように幅を狭めると、普通の燐注入手順を使用した場合にスタックの下ソース拡散が電気的に接続される可能性が増加する。

【0008】

【実施例】図1に、本発明の方法の使用を示す目的で、メモリチップの一体部分であるメモリセルのアレイの例を示す。各セルは、ソース11、ドレイン12、浮遊ゲート13、制御ゲート14を有する浮遊ゲートトランジスタ10である。セル10の1つの行内の各制御ゲート14は語線15に接続され、各語線15は語線デコード16に接続されている。セル10の1つの行内の各ソース11はソース線17に接続されている。セル10の1つの列内の各ドレイン12はドレイン・列線18に接続されている。各ソース線17は共通列線17aによって列デコード19に接続され、各ドレイン・列線18は列デコード19に接続されている。読出しモードでは、語線デコード16は、線20r上の語線アドレス信号及び読出し/書き込み/消去制御回路21（即ちマイクロプロセッサ21）からの信号に应答して、予め選択された正電圧V_{CC}（約+5V）を選択された語線15に印加し、また低電圧（接地即ちV_{SUB}）を選択されなかった語線15に印加するように動作する。列デコード19は、少なくとも選択されたドレイン・列線18に予め選択された正電圧V_{SEN}（約+1V）を印加し、低電圧（0V）をソース線17に印加するように動作する。また列デ

4

コード19は、アドレス線20d上の信号に应答して、選択されたセル10の選択されたドレイン・列線18をデータ入力/出力端子22へ接続するようにも動作する。選択されたドレイン・列線18、及び選択された語線15に接続されているセル10の導電状態または非導電状態は、データ入力/出力端子22に接続されているセンス増幅器（図示していない）によって検出される。

【0009】フラッシュ・消去モード中には、列デコード19は、全てのドレイン・列線18を浮かせた（「オフ」状態にバイアスされている電界効果トランジスタのように高インピーダンスに接続されている）ままにする。語線デコード16は、全ての語線15を参照電位V_{SUB}（接地であることができる）に接続させる。列デコード19は、高い正電圧V_{EE}（約+10V乃至+15V）を全てのソース線17に印加するようにも動作する。これらの消去電圧は、ゲート酸化物領域に十分な強さの電界を発生させ、ファウラー・ノルトハイムトンネル電流を生成させて浮遊ゲート13から電荷を転送させることによってメモリセル10を消去する。語線15上の電位は0Vであるから、消去中のセル10は非導電状態のままである。この理由から、またドレイン12が浮いていることから、チャネル・ホットキャリアが生成されることはない。

【0010】書き込みまたはプログラムモードでは、語線デコード16は、線20r上の語線アドレス信号及び読出し/書き込み/消去制御回路21（即ちマイクロプロセッサ21）からの信号に应答して、予め選択された第1のプログラミング電圧V_{P1}（約+12V）を選択された語線15（選択された制御ゲート14を含む）に印加する。また列デコード19は第2のプログラミング電圧V_{P2}（約+5乃至+10V）を選択されたドレイン・列線18（従って、選択されたセル10のドレイン12）に印加する。ソース線17は参照電位V_{SUB}（接地であることができる）に接続される。選択されなかった全てのドレイン・列線18は参照電位V_{SUB}に接続されるか、または浮かされる。これらのプログラミング電圧によって、選択されたメモリセル10のチャネル内に高電流（ドレイン12からソース11へ）状態が発生し、ドレイン・チャネル接合付近にチャネル・ホット電子及びばなだれ・降伏電子が生成され、これらはチャネル酸化物を横切って選択されたセル10の浮遊ゲート13へ注入される。

【0011】プログラミング時間は、チャネル領域（0VのV_{P1}電圧である）に対して約-2V乃至-6Vの負のプログラム電荷で浮遊ゲート13をプログラムするのに十分に長くなるように選択されている。実施例に従って製造されたメモリセル10の場合には、制御ゲート14/語線15と浮遊ゲート13との間の結合係数は約0.6である。従って、選択された制御ゲート14を含む選択された語線15上の例えば12Vのプログラミング電

5

圧 V_{PI} は、選択された浮遊ゲート13に約+7.2 Vの電圧を印加する。浮遊ゲート13（約+7.2 V）と接地された（約0 V）ソース線17との間のこの電圧差では、ソース11と浮遊ゲート13との間のゲート酸化物を横切ってファウラー・ノルトハイムトンネリング電流を生じさせて選択された、または選択されなかったセル10の浮遊ゲート13を帯電させるには不十分である。選択されたセル10の浮遊ゲート13は、プログラミング中に注入されたホット電子で帯電される。これらの電子自体は、制御ゲート14に正の読出し電圧が印加されている場合には、選択されたセル10の浮遊ゲート13の下10のソース・ドレイン通路を非導電性、即ちビット「0」として読出される状態にする。選択されなかったセル10の浮遊ゲート13の下のソース・ドレイン通路は導電性のままになり、これらのセル10はビット「1」として読出される。

【0012】図2は、メモリセル10アレイレイアウトの一部の拡大平面図であり、図1のメモリアレイ内に使用されている従来技術のスタックST及びソース接点SC構造を示している。リトグラフィの最小距離はソース接点SC、またはドレイン接点の一方の側の幅によって表されている。垂直ソース線17aが、セル10の多分16列の群を分離している。このレイアウト形態では、垂直金属ソース線17aと水平ソース線17との間のソース接点SCは、絶縁に対して、及びマスクの整列の変化に対して十分な空間を与えるために、スタックされた層STを各ソース接点SCから離すように曲げる必要がある。（ドレイン接点DCにも同じような間隔が必要である。）スタックSTを曲げると、グループ化したセル10の列の間に比較的大きい水平距離が必要になる。この距離は、セル10の列に必要なとされる水平距離よりも大きい。その結果、フィールド酸化物領域FO間の間隔は非均一になり、この間隔は垂直ソース線17aのところにおいて大きくなる。フィールド酸化物領域FO間の間隔が非均一となるので、垂直ソース線17aに接するフィールド酸化物領域FOは、同一セル10間のフィールド酸化物領域FOに比してひずむことになる。若干の場合には、このひずみは、垂直ソース線17aの各側にセル10のダミー列を使用しなければならない程十分に40なり、チップ上により多くの非機能的空間をもたらすようにさえる。

【0013】図3は、図1、2及び4のメモリセルレイアウト内に使用されている型の典型的な浮遊ゲートセル10の、図2のA-A'矢視断面図である。ソース11及びドレイン12は、1つの導電型の不純物を、第2の導電型の半導体サブストレーツ23内へ拡散させることによって形成される。ソース11は、典型的には2つの型の不純物（通常は、砒素及び燐）を拡散させることによって形成される。ソース11の燐不純物は浮遊ゲート13の下まで伸び、フラッシュ消去のためのトンネリング窓50

6

を形成する。ソース11とドレイン12との間のサブストレーツ23の領域がセルチャネル24である。浮遊ゲート13は、ゲート絶縁体25によってチャネル24から絶縁されているドーパされたポリシリコンの層から形成されている。図1の語線15の一部であるポリシリコン制御ゲートは、レベル間絶縁体26によって浮遊ゲート13から絶縁されている。

【0014】最小距離がより小さいリトグラフィを使用する製造プロセスが開発されるにつれて、メモリアレイはより小さいスタックST幅で製造されている。一方、適切なフラッシュ消去のために必要なソース接合アンダラップ距離は、スタックST幅と同じ比でスケールダウンされてはいない。この事実から、ソース11の拡散をスタックSTの両側から遂行し、拡散をスタックの下で接続させて水平ソース線17間に垂直導電通路を形成することができるのである。図4及び図5を参照する。図4は本発明のアレイレイアウトの例であり、図5は図4のB-B'矢視断面図である。図5は、垂直ソース線17aの拡散部分を形成させるスタックST下の拡散を示している。垂直ソース線17aの拡散部分は、ソース11及び水平ソース線17が形成されるのと同時に各スタックされた層STの両側から燐を注入することによって形成される。平行金属垂直列線は連続拡散上に形成され、接点SCにおいて接続され、組合わされた垂直ソース導体17aの抵抗を低下させている。図4には、図2の従来技術の垂直ソース線17aが必要とする空間の幅に比して狭くした本発明の垂直ソース線17aが必要とする空間の幅をも示している。図4の垂直ソース線17aが必要とする空間の幅は、セル10の1つの列が必要とする空間の幅と同一である。実際に、フィールド酸化物領域FO間の間隔は変化していない。また、1つの垂直ソース線17aの両側にセル10の2つの垂直「ダミー」列を設ける必要性も、またセル10のこれら2つのダミー列のための空間を設ける必要性も排除されている。

【0015】図4及び5が、垂直列線17aのアンダラップされた接続用拡散の上に1層スタックSTを示していることに注目されたい。オプションでは、浮遊ゲート13の相当物を含む2層スタックが垂直列線17aのアンダラップされた接続用拡散上に位置決めされる。要約すれば、図4及び5は、複数の拡散された水平ソース線17（各ソース線17が平行な水平スタック導体ST対間に位置決めされている）を有する非揮発性メモリアレイを示している。このメモリアレイは、少なくとも1つの垂直ソース導体17aに接続されている複数の拡散された水平ソース線17を含む。共通垂直ソース導体17aは、平行な水平スタック導体STの上記各対の下で連続した拡散領域11を含む。更に、共通垂直ソース導体17aは、平行な水平スタック導体STの対の間に位置している接点SCにおいて連続した拡散領域に結合され

7

ている金属導体をも含む。

【0016】図6は、直線スタックSTの両側の、本発明の水平ソース線17拡散を表す対称ソース型拡散、及び垂直ソース線17a拡散を有する電界効果構造をシミュレートした断面図である。図6において、線DRはデプレッション領域を表し、線MJは冶金学的接合を表している。図から明白なように、標準フラッシュプロセスに使用されるソース11拡散はスタックSTの下で合体し、スタックST上の電圧によって影響されない導電性通路を形成する。図7は、この事実を示すものであつて、ゲートの左側と右側との間の電流Iがゲート電圧V_Gに対してプロットされている。図6のソース型拡散は、マスクされたサブストレート23に、約60keVのエネルギーで約 3×10^{14} 乃至 6×10^{14} イオン/cm²の範囲の燐を注入することによって形成される。次いで、サブストレートに約100keVのエネルギーで約 6×10^{15} 乃至 8×10^{15} イオン/cm²の範囲の砒素を注入する。次に、これらの注入を約35乃至50分にわたって約1000°Cの駆動段階に曝す。

【0017】図8は、図6のデバイスのシミュレートしたソース電流I対ソース電圧V_S（他の全ての端子は接地電位）を示す図である。図8のグラフを得るために使用したスタック幅STは0.7μmである。図から明らかなように、ソース電圧V_Sが0.3Vであり、他の全ての端子が接地電位にある場合、スタックSTの下のシリコンを通して流れる電流Iは200μAである。図9も、図8に似たシミュレートしたソース電流I対ソース電圧V_S（他の全ての端子は接地電位）を示すグラフであるが、図9のために使用した図6の構造のスタック幅は0.5μmである。図9において、他の全ての端子を接地電位にしてソース電圧V_Sを0.03Vにした時の電流Iは200μAである。通常、フラッシュセルをプログラムするには、チャネル24内の使用可能な電流は約600乃至700μAを必要とする。図10に示すように、800μAの最大プログラミング電流で4つの最も近いソース接点SCを介してセル10のプログラムが達成されている。プログラミング動作中、プログラムされるセル10の位置に依存し、ソース線17及び17aの抵抗に起因してソース電圧V_Sは十分の数Vまで増加する。前述したように、また図11に示すように、垂直ソース線17a上の提唱した直線スタックSTレイアウトは、オプションで、通常のスタックST線幅から0.1乃至0.2μmだけトリムすることができる。これによりスタックSTの下にはより良好な導電通路が得られ、またプロセス依存性が少ない構造が得られる。

【0018】以上の記載に関連して、以下の各項を開示する。

1. 1対の平行な水平スタック導体の間にそれぞれ位置決めされている複数の拡散された水平ソース線を含む非揮発性メモリアレイにおいて、上記複数の拡散された

8

水平ソース線は、少なくとも1つの共通垂直ソース導体に接続され、上記共通垂直ソース導体は、上記平行な水平スタック導体の各対の下で連続した拡散領域を含み、上記共通垂直ソース導体は、上記平行な水平スタック導体の対の間に位置する接点において上記連続した拡散領域に結合されていることを特徴とする非揮発性メモリアレイ。

2. 上記各平行水平スタック導体は直線である上記1に記載の非揮発性メモリアレイ。

3. 上記連続した拡散領域は、燐ドーパントを含む上記1に記載の非揮発性メモリアレイ。

4. 上記平行な水平スタック導体の各対は、上記連続した拡散領域の上において狭められている上記1に記載の非揮発性メモリアレイ。

5. 上記スタック導体の下にフィールド酸化物領域をも含み、上記フィールド酸化物領域は均一な距離に離間していて上記メモリのセルを分離し、上記垂直ソース導体は少なくとも2つの上記フィールド酸化物領域の間に位置し、上記2つのフィールド酸化物領域は上記均一な距離に離間している上記1に記載の非揮発性メモリアレイ。

6. 上記連続した拡散領域は、上記平行な水平スタック導体の複数の対を含むように伸びている上記1に記載の非揮発性メモリアレイ。

7. 上記各水平スタック導体は、1つの層を有している上記1に記載の非揮発性メモリアレイ。

8. 上記各水平スタック導体は、2つの層を有している上記1に記載の非揮発性メモリアレイ。

9. 上記連続した拡散領域は、燐を含む上記1に記載の非揮発性メモリアレイ。

10. 1対の平行な水平スタック導体の間にそれぞれ位置決めされている複数の拡散された水平ソース線を含む非揮発性メモリアレイを製造する方法において、上記平行な水平スタック導体の対の間の垂直に整列した領域内に拡散を形成させ、上記拡散されたソース線と同時に上記拡散を形成させ、上記平行なスタック導体の各対の下で上記拡散を接続させるように形成することを特徴とする非揮発性メモリアレイの製造方法。

11. 上記平行な水平スタック導体の上記対の間に位置する接点において上記拡散領域に結合される垂直金属導体を形成することをも含む上記10に記載の方法。

12. 上記各平行な水平スタック導体は直線である上記10に記載の方法。

13. 上記連続した拡散領域は、燐ドーパントを含む上記10に記載の方法。

14. 上記平行な水平スタック導体の各対は、上記連続した拡散領域の上において狭められている上記10に記載の方法。

15. 上記スタック導体の下にフィールド酸化物領域をも形成し、上記フィールド酸化物領域は均一な距離に

9

離間していて上記メモリのセルを分離し、上記垂直ソース導体は少なくとも2つの上記フィールド酸化物領域の間に形成され、上記2つのフィールド酸化物領域は上記均一な距離に離間している上記10に記載の方法。

16. 上記連続した拡散領域は、上記平行な水平スタック導体の複数の対を含むように伸びている上記10に記載の方法。

17. 上記各水平スタック導体は、1つの層を有している上記10に記載の方法。

18. 上記各水平スタック導体は、2つの層を有している上記10に記載の方法。

19. 上記連続した拡散領域は、隣を含む上記10に記載の方法。

20. 非揮発性メモリアレイは複数の拡散された水平ソース線(17)を有し、各ソース線(17)は1対の平行な水平スタック導体(ST)の間に位置決めされている。複数の拡散された水平ソース線(17)は、少なくとも1つの共通垂直ソース導体(17a)に接続されている。共通垂直ソース導体(17a)は、上記平行な水平スタック導体(ST)の上記各対の下に連続した拡散領域(11)を含んでいる。更に、共通垂直ソース導体(17a)は、上記平行な水平スタック導体(ST)の対の間に位置する接点(SC)において連続した拡散領域に結合されている金属導体を含む。その結果、スタック導体(ST)は直線である。直線スタック導体(ST)形態により、1つの垂直ソース導体(17a)と隣接するドレイン・列線(18)との間の空間は少なくて済み、ダミーセル(10)の垂直列を使用する必要性を排除する。オプションで、垂直ソース導体(17a)のところに直線スタック(ST)の幅を狭めるようにトリムすると、より確実な導電通路が直線スタック導体(ST)の下に得られる。

以上に、本発明を実施例に関して説明したが、この説明は本発明を限定する意図でなされたものではない。当分野に精通していれば、この説明から、上記実施例の多くの変更、及び本発明の他の実施例が明白であろう。特許請求の範囲は、本発明の範囲に包含されるこれらの如何なる変更または実施例をもカバーすることを意図するものである。

【図面の簡単な説明】

【図1】非揮発性メモリアレイの一部をブロックで示す回路図である。

【図2】図1の非揮発性アレの拡大平面図であって、ソース接点の周囲において曲げられたスタックを有する従来技術のメモリアレイレイアウトの一部を示している。

10

【図3】図2のA-A'矢視断面図であって、図1、2、及び4のメモリアレイに使用されている型の典型的な浮遊ゲートセルの断面を示す図である。

【図4】図1の非揮発性アレの拡大平面図であって、本発明のメモリアレイの一部を示しており、このアレは直線のスタック形態と、均一なパターンを有するソース接点をドレイン接点と共に有している。

【図5】図4のB-B'矢視で示す本発明のスタック接続の断面図であって、図4のデバイスの垂直ソース線拡散が結合されていることを示している。

【図6】本発明のスタック接続をシミュレートした断面図であって、スタックの下対称拡散が結合されていることを示している。

【図7】図6のスタック形態において、制御ゲート電圧 V_G を変化させた時の $I-V_G$ をプロットしたグラフである。

【図8】図6のスタック形態において、スタックの幅を $0.7\mu m$ とし、スタックを接地した場合の $I-V_s$ をプロットしたグラフである。

【図9】図6のスタック形態において、スタックの幅を $0.5\mu m$ とし、スタックを接地した場合の $I-V_s$ をプロットしたグラフである。

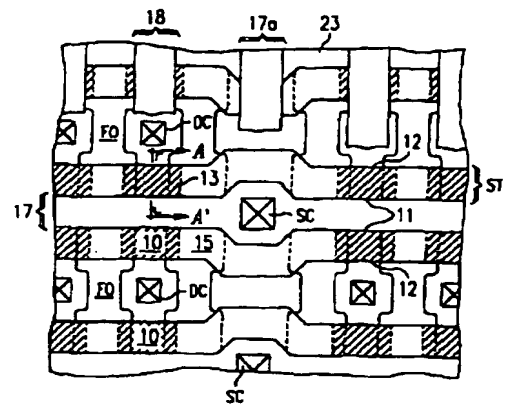
【図10】直線スタックを有するメモリアレイの一部の平面図であって、プログラムされるセルに最も近い4つのソース接点を示している。

【図11】直線スタックの幅を狭めたメモリアレイの一部の平面図である。

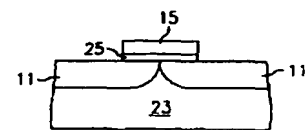
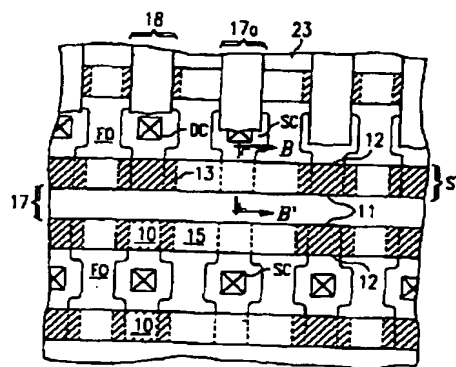
【符号の説明】

- 10 浮遊ゲートトランジスタ
- 11 ソース
- 12 ドレイン
- 13 浮遊ゲート
- 14 制御ゲート
- 15 語線
- 16 語線デコーダ
- 17 ソース線
- 17a 共通垂直ソース導体
- 18 ドレイン・列線
- 19 列デコーダ
- 20 読出し/書込み/消去制御回路(マイクロプロセッサ)
- 21 データ入力/出力端子
- 22 半導体サブストレート
- 23 セルチャネル
- 24 ゲート絶縁体
- 25 レベル間絶縁体

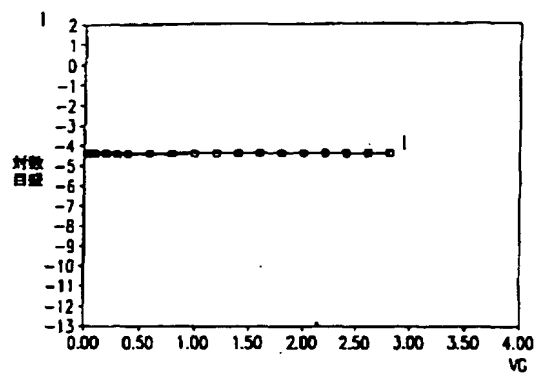
【図 2】



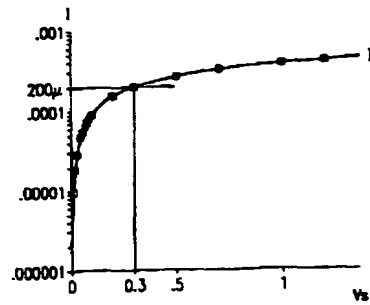
【図 4】



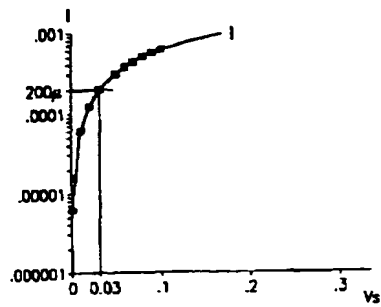
【图7】



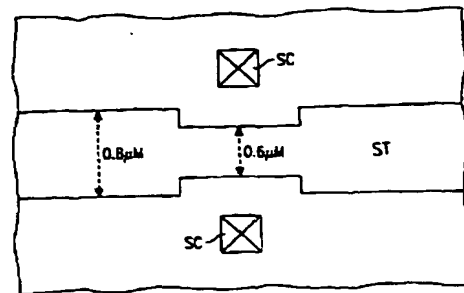
【図8】



【図9】



【図11】



【図10】

